

CERTIFIED COPY OF
PRIORITY DOCUMENT

10/50/90
193518/60
old U.S. Pat.
11036 U.S. Pat.

대한민국 특허청
KOREAN INDUSTRIAL
PROPERTY OFFICE

CERTIFIED COPY OF
PRIORITY DOCUMENT

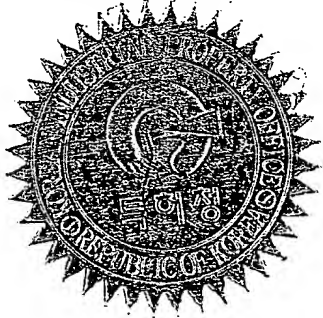
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Industrial
Property Office.

출원번호 : 특허출원 2000년 제 35335 호
Application Number

출원년월일 : 2000년 06월 26일
Date of Application

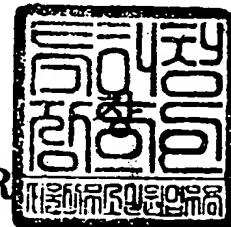
출원인 : 삼성전자 주식회사
Applicant(s)



2000 년 10 월 17 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2000.06.26
【국제특허분류】	G06F
【발명의 명칭】	서로 다른 지연 특성을 동일하게 하는 신호 전달 회로, 신호 전달 방법 및 이를 구비하는 반도체 장치의 데이터 래치 회로
【발명의 영문명칭】	Signal transmission circuit, signal transmission method for synchronizing different delay characteristics, and data latch circuit of semiconductor device having the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【대리인】	
【성명】	이래호
【대리인코드】	9-1999-000226-8
【포괄위임등록번호】	2000-002818-3
【발명자】	
【성명의 국문표기】	이정배
【성명의 영문표기】	LEE, Jung Bae
【주민등록번호】	670227-1046533
【우편번호】	442-470

【주소】	경기도 수원시 팔달구 영통동 청명 주공아파트 407동 100호
【국적】	KR
【발명자】	
【성명의 국문표기】	김규현
【성명의 영문표기】	KIM,Kyu Hyoun
【주민등록번호】	720520-1787539
【우편번호】	442-470
【주소】	경기도 수원시 팔달구 영통동 벽적골 한신아파트 811동 606호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인) 대리인 이래호 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	12 면 12,000 원
【우선권주장료】	0 건 0 원
【심사청구료】	12 항 493,000 원
【합계】	534,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】

【요약】

서로 다른 지연 특성을 동일하게 하는 신호 전달 회로, 신호 전달 방법 및 이를 구비하는 반도체 장치의 데이터 래치 회로가 개시된다. 본 발명은 서로 다른 지연 특성을 가지는 두 종류의 제1 및 제2 신호 전달선들을 갖는 신호 전달 회로에 관한 것이다. 본 발명의 신호 전달 회로는 제2 신호 전달선과 동일한 지연 특성을 가지는 복제 신호 전달선과 복제 신호 전달선에 직렬로 연결되고, 제어 신호에 의해 지연 시간이 가변되는 마스터 가변 지연단을 구비한다. 그리고, 동일한 제어 신호에 의해 지연 시간이 조절되는 슬레이브 가변 지연단을 제2 신호 전달선에 추가한다. 마스터 가변 지연단과 슬레이브 가변 지연단의 지연 시간을 제1 신호 전달선의 지연시간과 제2 신호 전달선 사이의 지연 시간 차이만큼 되도록 조절한다. 본 발명의 신호 전달 회로에 의하여, 지연 특성이 다른 신호 전달선의 지연 시간이 정확하게 일치될 수 있다. 또한 본 발명의 신호 전달 회로를 반도체 장치의 데이터 래치 회로에 적용함으로써, 복수 개의 데이터를 기준 신호에 정확하게 동기하여 래치할 수 있다.

【대표도】

도 4

【명세서】

【발명의 명칭】

서로 다른 지연 특성을 동일하게 하는 신호 전달 회로, 신호 전달 방법 및 이를 구비하는 반도체 장치의 데이터 래치 회로{Signal transmission circuit, signal transmission method for synchronizing different delay characteristics, and data latch circuit of semiconductor device having the same}

【도면의 간단한 설명】

도 1은 서로 다른 지연 특성을 가지는 신호 전달선을 단순화하여 나타낸 도면이다.

도 2는 종래 기술에 의한 신호 전달 회로의 한 예를 나타내는 도면이다.

도 3은 서로 다른 지연 특성을 가지는 신호 전달 회로의 예들을 나타내는 도면이다.

도 4는 본 발명의 제1 실시예에 따른 신호 전달 회로를 나타내는 도면이다.

도 5는 본 발명의 제2 실시예에 따른 신호 전달 회로를 나타내는 도면이다.

도 6은 본 발명의 제3 실시예에 따른 신호 전달 회로를 나타내는 도면이다.

도 7은 본 발명의 제4 실시예에 따른 신호 전달 회로를 나타내는 도면이다.

도 8은 본 발명의 제3 및 제4 실시예에서 사용되는 코드 제어 가변 지연단의 일 실시예를 나타내는 도면이다.

도 9는 본 발명의 제4 실시예에서 사용되는 제어 코드 발생부의 일 실시예를 나타내는 도면이다.

도 10은 본 발명의 일 실시예에 따른 반도체 장치의 데이터 래치 회로를 나타내는 도면이다.

도 11은 본 발명의 일 실시예에 따른 신호 전달 방법을 나타내는 흐름도이다.

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <12> 본 발명은 전자 회로에 관한 것으로서, 특히 서로 다른 지연 특성을 가지는 신호 전달선의 지연 시간을 동일하게 하는 신호 전달 회로, 신호 전달 방법 및 이를 구비하는 반도체 장치의 데이터 래치 회로에 관한 것이다.
- <13> 신호 전달선을 통하여 신호가 전달되는 과정에서, 신호의 지연 시간은 신호 전달선의 특성 및 구조에 따라 다르다. 신호 전달선의 저항 및 커패시턴스 등이 다르므로 지연 시간도 달라지게 된다. 그런데, 클럭에 동기하여 데이터를 래치하는 데이터 래치 회로와 같은 회로에서는, 두 신호 혹은 그 이상의 신호들이 동일한 시점에 입력될 것이 필요하다. 따라서, 서로 다른 지연 특성을 가지는 신호 전달선의 지연 시간을 동일하게 할 필요가 있다.
- <14> 도 1은 서로 다른 지연 특성을 가지는 신호 전달선들을 단순화하여 나타낸 도면이다. 도 1은 두 개의 신호 전달선(A-A', B-B')을 보여준다. A-A' 신호 전달선(12)의 지연 시간이 T1이고, B-B' 신호 전달선(14)의 지연 시간이 T1보다 적은 T2 라고 가정한다. 그러면, 두 신호 전달선의 지연 시간을 동일하게 하기 위해서는, B-B' 신호 전달선(14)에 추가적인 지연 소자를 삽입할 필요가 있다.

<15> 도 2는 종래 기술에 의한 신호 전달 회로의 한 예를 나타내는 도면이다. 도 2는 두 개의 신호 전달선(22, 24)에서 지연 시간이 더 짧은 신호 전달선(24)에 인버터 체인(26)을 추가적으로 연결한 경우를 보여준다. 또 다른 종래의 방법으로는, 지연 시간이 더 짧은 신호 전달선에 저항-커패시턴스(R-C) 소자를 연결하여 지연 시간을 조절하기도 한다.

<16> 그러나, 종래 기술은 추가된 지연 소자의 지연 시간이 공정, 인가되는 전압 및 온도에 의하여 변하기 쉽다. 따라서, 지연 시간을 정확하게 일치시키기 어려운 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<17> 본 발명이 이루고자 하는 기술적 과제는 서로 다른 지연 특성을 가지는 다수의 신호 전달선의 지연 시간을 정확하게 일치시키는 신호 전달 회로를 제공하는데 있다.

<18> 본 발명이 이루고자 하는 다른 기술적 과제는 서로 다른 지연 특성을 가지는 다수의 신호 전달선의 지연 시간을 정확하게 일치시키는 신호 전달 방법을 제공하는데 있다.

<19> 본 발명이 이루고자 하는 또 다른 기술적 과제는 기준 신호에 동기되어 입력되는 다수의 데이터 개 이상의 데이터를 기준 신호에 맞추어 정확하게 래치하는 반도체 장치의 데이터 래치 회로를 제공하는데 있다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 이루기 위한 본 발명은 서로 다른 지연 특성을 가지는 두 종류의 제1 및 제2 신호 전달선들을 갖는 신호 전달 회로에 관한 것이다. 바람직한 일 실시예에 따른 본 발명의 신호 전달 회로는 수신되는 제1 입력 신호를 제1 지연 시간으로 지연하여 출력하는 상기 제1 신호 전달선; 수신되는 제2 입력 신호를 상기 제1 지연 시간

보다 짧은 제2 지연 시간으로 지연하여 출력하는 상기 제2 신호 전달선; 상기 제2 신호 전달선과 동일한 지연 특성을 가지며, 상기 제1 입력신호를 수신하여, 출력하는 복제 신호 전달선; 상기 복제 신호 전달선에 직렬로 연결되고, 소정의 제어 신호에 의하여 지연 시간이 가변되는 마스터 가변 지연단; 상기 제2 신호 전달선에 직렬로 연결되고, 상기 제어 신호에 의하여 지연시간이 가변되는 슬레이브 가변 지연단; 및 상기 마스터 가변 지연단의 출력 신호 및 상기 제1 신호 전달선의 출력 신호를 수신하여, 상기 제어 신호를 발생하는 제어부를 구비한다.

<21> 바람직한 다른 일 실시예에 따른 본 발명의 신호 전달 회로는 수신되는 제1 입력

신호를 제1 지연시간으로 지연하여 출력하는 상기 제1 신호 전달선; 수신되는 제2 입력

신호를 상기 제1 지연 시간 보다 짧은 제2 지연 시간으로 지연하여 출력하는 상기 제2

신호 전달선; 상기 제2 신호 전달선과 동일한 지연 특성을 가지며, 상기 제1 입력신호를

수신하여, 출력하는 복제 신호 전달선; 상기 복제 신호 전달선의 출력 신호 및 상기 제1

신호 전달선의 출력 신호를 수신하여, 상기 복제 신호 전달선의 출력 신호 및 상기 제1

신호 전달선의 출력 신호의 위상 차이에 따라, 소정의 제1 비례 상수 만큼 비례하는 제

어 코드를 발생하는 제어 코드 발생부; 및 상기 제2 신호 전달선에 직렬로 연결되고, 상

기 제어 코드에 따라, 소정의 제2 비례 상수 만큼 비례하여, 지연시간이 가변되는 가변

지연단을 구비한다. 그리고, 상기 제1 비례 상수 및 상기 제2 비례 상수의 곱은 1이 되

도록 조절한다.

<22> 상기 다른 기술적 과제를 이루기 위한 본 발명은 서로 다른 지연 특성을 가지는 두

종류의 제1 및 제2 신호 전달선들을 갖는 신호 전달 방법에 관한 것이다. 바람직한 일

실시예에 따른 본 발명의 신호 전달 방법은 상기 제2 신호 전달선과 동일한 지연 특성을 가지는 복제 신호 전달선 및 상기 복제 신호 전달선에 직렬로 연결되는 마스터 가변 지연단을 추가로 구비하는 단계; 수신되는 제1 입력 신호를 상기 제1 신호 전달선과 상기 복제 신호 전달선에 입력하고, 수신되는 제2 입력 신호를 상기 제2 신호 전달선에 입력하는 단계; 상기 제1 신호 전달선의 출력 신호와 상기 마스터 가변 지연단의 출력신호의 위상을 비교하여, 위상 차이에 대응하는 제어 신호를 발생하는 단계; 상기 제어 신호를 상기 마스터 가변 지연단에 인가하여 상기 마스터 가변 지연단의 지연 시간을 조절하는 단계; 및 상기 제2 신호 전달선의 출력 신호를 상기 제1 가변단의 지연 시간만큼 더 지연시키는 단계를 구비한다.

<23> 2. 상기 또 다른 기술적 과제를 이루기 위한 본 발명은 외부로부터 인가되는 기준 신호에 동기되어 들어오는 한 개 이상의 입력 데이터를 래치하는 반도체 장치의 데이터 래치 회로에 관한 것이다. 바람직한 일 실시예에 따른 본 발명의 반도체 장치의 데이터 래치 회로는 수신되는 상기 기준 신호를 소정의 제1 지연시간으로 지연하여 출력하는 기준 신호 전달선; 수신되는 제1 내지 제N 입력 데이터를 각각 소정의 제2 지연 시간으로 지연하여 출력하는 제1 내지 제N 데이터 전달선들; 상기 제1 데이터 전달선과 동일한 지연 특성을 가지며, 상기 기준 신호를 수신하여, 출력하는 복제 신호 전달선; 상기 복제 신호 전달선에 직렬로 연결되고, 제어 신호에 의하여 지연시간이 가변되는 마스터 가변 지연단; 상기 제1 내지 제N 데이터 전달선에 각각 직렬로 연결되고, 상기 제어 신호에 의하여 지연시간이 가변되는 제1 내지 제N 슬레이브 가변 지연단들; 상기 마스터 가변 지연단의 출력 신호 및 상기 기준 신호 전달선의 출력 신호를 수신하여, 상기 제어 신호를 발생하는 제어부; 및 상기 기준 신호를 기준으로 상기 제1 내지 제N 슬레이브 가변

지연단들의 출력 신호들을 각각 수신하는 제1 내지 제N 데이터 래치 수단들을 구비한다.

<24> 본 발명과 본 발명의 동작상의 이점 및 본 발명의 실시에 의하여 달성되는 목적을 충분히 이해하기 위해서는 본 발명의 바람직한 실시예를 예시하는 첨부 도면 및 첨부 도면에 기재된 내용을 참조하여야만 한다.

<25> 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명함으로써, 본 발명을 상세히 설명한다. 본 명세서에서는, 설명의 편의상, 각 도면을 통하여 동일한 역할을 수행하는 신호와 구성 요소는 동일한 참조 부호 및 참조 번호로 나타낸다.

<26> 본 발명의 바람직한 실시예의 설명에 앞서, 도 3을 참조하여 서로 다른 지연 특성을 가지는 신호 전달 회로의 예들을 살펴본다. 도 3a는 두 신호 전달선(A-A', B-B')의 출력 커패시턴스(Ca, Cb)가 다른 경우이다. 도 3b는 두 신호 전달선의 직렬 저항(Ra, Rb)이 다른 경우이다. 도 3c는, 두 신호 전달선(A-A', B-B')의 배선 길이(La, Lb)가 다른 경우이다. 도 3d는 두 신호 전달선(A-A', B-B')의 게이트의 종류가 다른 경우이다. 도 3e는 두 신호 전달선(A-A', B-B')의 게이트의 수가 다른 경우이다. 도 3f는 4개의 데이터를 하나의 클럭 신호에 맞춰 래치하기 위한 회로를 나타낸다. 클럭 신호(A)는 4개의 래치 소자로 입력되고, 각각의 데이터(B1~B4)는 해당되는 1개의 래치 소자에 입력되므로, 클럭 신호(A)의 지연 시간과 데이터(B1~B4)의 지연 시간이 달라지게 된다. 이러한 경우, 래치 소자의 데이터 셋업/홀드 특성(setup/hold time)이 나빠져, 동작 속도가 저하되는 문제점이 있다.

<27> 전술한 바와 같이, 여러 요인으로 인하여, 2개 이상의 신호 전달선에서의 지연 시간이 달라진다. 이와 같이, 서로 다른 지연 시간을 가지는 신호 전달선의 지연 시간을 같게 해줄 필요가 있는데, 본 발명에서는 하나의 신호 전달선과 동일한 지연 시간을 가

지는 복제 신호 전달선을 사용한다.

<28> 도 4는 본 발명의 제1 실시예에 따른 신호 전달 회로를 나타내는 도면이다. 이를 참조하면, 본 발명의 제1 실시예에 따른 신호 전달 회로는 제1 및 제2 신호 전달선(42, 44), 복제 신호 전달선(46), 마스터 가변 지연단(43), 슬레이브 가변 지연단(45) 및 제어부(48)를 구비한다.

<29> 제1 및 제2 신호 전달선(42, 44)은 각각 제1 및 제2 입력 신호(IS1, IS2)를 수신하여, 소정의 지연 시간으로 지연된 출력신호들(OS1, TS2)을 출력한다. 이 때, 제1 신호 전달선(42)의 지연 시간을 제1 지연시간, 제2 신호 전달선(44)의 지연 시간을 제2 지연시간으로 정의한다.

<30> 제2 지연 시간이 제1 지연 시간보다 작다고 가정한다. 그러면, 제1 및 제2 지연 시간을 같게 하기 위해서는 제2 신호 전달선(44)에 추가적인 지연 소자가 필요하다. 이를 위해, 제2 신호 전달선(44)에 슬레이브 가변 지연단(45)이 직렬로 연결된다. 그리고, 슬레이브 가변 지연단(45)의 지연 시간은 제1 지연 시간과 제2 지연 시간의 차이와 같아야 한다. 즉, 제2 지연 시간과 슬레이브 가변 지연단(45)의 지연 시간의 합이 제1 지연 시간과 같아야 한다. 슬레이브 가변 지연단(45)의 지연 시간이 제1 지연 시간과 제2 지연 시간의 차이와 같도록 조절하기 위하여, 제2 신호 전달선(44)과 동일한 지연 특성을 가지는 복제 신호 전달선(46)이 사용된다. 그리고, 마스터 가변 지연단(43)이 복제 신호 전달선(46)에 직렬로 연결된다.

<31> 복제 신호 전달선(46)으로는 제1 입력 신호(IS1)가 입력된다. 제1 신호 전달선의 출력신호(OS1)와 마스터 가변 지연단의 출력 신호(VS)가 제어부(48)로 입력된다. 제어부(48)는 입력되는 두 신호(OS1, VS)의 위상, 즉 시간을 비교하여 위상 차이에 상응하는

제어 신호(CONT)를 출력한다. 제어 신호(CONT)는 마스터 가변 지연단(43) 및 슬레이브 가변 지연단(45)의 지연 시간을 조절한다. 따라서, 제어부(48)로 입력되는 두 신호인 제1 신호 전달선의 출력 신호(OS1)와 마스터 가변 지연단의 출력 신호(VS)의 위상이 같도록 제어 신호(CONT)가 조절된다. 그러므로, 동일한 제어 신호(CONT)에 의하여 제어되는 슬레이브 가변 지연단(45)도 마스터 가변 지연단(43)과 동일한 지연 시간을 가진다. 그리고, 제2 신호 전달선(44)의 지연 시간인 제2 지연 시간은 복제 신호 전달선(46)의 지연 시간과 동일하므로, 결국, 제2 신호 전달선(44) 및 슬레이브 가변 지연단(45)에 의한 총 지연 시간은 제1 지연 시간과 동일해진다.

<32> 본 실시예에서는, 두 개의 신호 전달선(42,44)을 가지는 신호 전달 회로를 설명한다. 그러나, 본 실시예에서 말하는 두 개의 신호 전달선(42, 44)은 엄밀하게는 서로 다른 지연 특성을 가지는 두 종류의 신호 전달선을 말한다. 따라서, 제1 지연 시간을 가지는 신호 전달선이 복수 개 있고, 제2 지연 시간을 가지는 신호 전달선도 복수 개 있을 수 있다.

<33> 도 4의 제어부(48)는 다양한 형태로 구현될 수 있다. 따라서, 제어부의 구현 형태에 따라, 본 발명의 신호 전달 회로도 다양한 형태로 구현 가능하다.

<34> 도 5는 본 발명의 제2 실시예에 따른 신호 전달 회로를 나타내는 도면이다. 이를 참조하면, 제2 실시예에 따른 신호 전달 회로는 도 4의 제1 실시예와 마찬가지로, 제1 및 제2 신호 전달선(52, 54), 마스터 가변 지연단(53), 슬레이브 가변 지연단(55)과 복제 신호 전달선(56)을 구비한다. 그리고, 제2 실시예에 따른 신호 전달 회로는 위상 검출기(57) 및 전하 펌프부(59)를 더 구비한다. 위상 검출기(57) 및 전하 펌프부(59)는 도 4의 제어부(48)에 해당된다. 제1 및 제2 신호 전달선(52, 54), 마스터 가변 지연단

(53), 슬레이브 가변 지연단(55)과 복제 신호 전달선(56)은 도 4와 관련하여 설명한 바와 동일한 기능을 수행하므로, 여기서 상세한 설명은 생략한다. 다만, 본 실시예에서의 마스터 가변 지연단(53)과 슬레이브 가변 지연단(55)은 전압 제어 가변 지연단(voltage controlled variable delay)이다. 즉, 제어 신호(CONT)의 전압 크기에 의해 지연 시간이 조절된다.

<35> 위상 검출기(57)는 입력되는 두 신호(OS1, VS)의 위상을 비교하여, 위상 차이에 대응하는 검출 신호(DS)를 발생한다. 전하펌프부(59)는 검출 신호(DS)에 따라 전하(charge)를 펌핑함으로써, 전압의 크기가 검출 신호(DS)에 비례하는 제어 신호(CONT)를 발생한다. 그리고, 제어 신호(CONT)에 의하여 마스터 가변 지연단(53)과 슬레이브 가변 지연단(55)의 지연 시간이 제어된다.

<36> 도 6은 본 발명의 제3 실시예에 따른 신호 전달 회로를 나타내는 도면이다. 이를 참조하면, 제3 실시예에 따른 신호 전달 회로는 도 4의 제1 실시예와 마찬가지로, 제1 및 제2 신호 전달선(62, 64), 마스터 가변 지연단(63), 슬레이브 가변 지연단(65)과 복제 신호 전달선(66)을 구비한다. 그리고, 제3 실시예에 따른 신호 전달 회로는 위상 검출기(67) 및 레지스터(69)를 더 구비한다. 위상 검출기(67) 및 레지스터(69)는 도 4의 제어부(48)에 해당된다. 제1 및 제2 신호 전달선(62, 64), 마스터 가변 지연단(63), 슬레이브 가변 지연단(65)과 복제 신호 전달선(66)은 도 4와 관련하여 설명한 바와 동일한 기능을 수행하므로, 여기서 상세한 설명은 생략한다. 다만, 본 실시예에서의 마스터 가변 지연단(63)과 슬레이브 가변 지연단(65)은 코드 제어 가변 지연단(code controlled variable delay)이다. 즉, 디지털 코드 형태의 제어 신호(CON_CODE)에 의해 지연 시간이 조절된다.

<37> 위상 검출기(67)는 입력되는 두 신호(OS1, VS)의 위상을 비교하여, 위상 차이에 대응하는 검출 신호(DS)를 발생한다. 레지스터(69)는 검출 신호(DS)에 따라 제어 신호인 디지털 코드(CON_CODE)를 발생한다.

<38> 도 7은 본 발명의 제4 실시예에 따른 신호 전달 회로를 나타내는 도면이다. 이를 참조하면, 제4 실시예에 따른 신호 전달 회로는 제1 및 제2 신호 전달선(72, 74), 복제 신호 전달선(76), 제어 코드 발생부(77) 및 코드 제어 가변 지연단(75)을 구비한다.

<39> 본 실시예는 복제 신호 전달선(76)에 가변 지연단이 연결되지 않는 오픈 루프(open loop) 구조를 가진다. 복제 신호 전달선의 출력 신호(TS1)와 제1 신호 전달선의 출력 신호(OS1)가 제어 코드 발생부(77)로 입력된다. 제어 코드 발생부(77)는 입력되는 두 신호(OS1, TS1)의 위상차, 즉 시간차에 비례하는 제어 코드(CON_CODE)를 발생한다. 제어 코드는 디지털 코드이다. 제어 코드 발생부에서 출력되는 제어 코드(CON_CODE)에 의해 코드 제어 가변 지연단(75)의 지연 시간이 조절된다.

<40> 제어 코드 신호 발생부(77)로부터 발생하는 제어 코드(CON_CODE)는 다음 식과 같이 정의된다.

<41> 【수학식 1】

$$\text{CON_CODE} = C1 * DT$$

<42> 여기서, CON_CODE는 제어 코드, C1은 비례 상수이고, DT는 제어 코드 발생부로 입력되는 두 신호의 시간차이, 즉 위상차이다.

<43> 그리고, 코드 제어 가변 지연단(75)의 지연 시간은 다음 식과 같이 정의된다.

<44> 【수학식 2】

$$DELT = C2 * CON_CODE$$

<45> 여기서, CON_CODE는 제어 코드, C2는 비례 상수이고, DELT는 코드 제어 가변 지연단의 지연 시간이다.

<46> 비례 상수 C1, C2가 다음의 식을 만족하면, DT와 DELT는 같게 된다.

<47> 【수학식 3】

$$C1 * C2 = 1$$

<48> 따라서, 제2 신호 전달선(74)의 지연시간(제2 지연 시간)과 코드 제어 가변 지연단(75)의 지연 시간(DELT)을 더한 총 지연 시간은 제1 신호 전달선(72)의 지연 시간(제1 지연 시간)과 동일하게 된다. 그러므로, 비례상수 C1, C2를 수학식 3과 같이 조절함으로써, 제2 신호 전달선(74)과 코드 제어 가변 지연단(75)의 총 지연 시간을 제1 신호 전달선(72)의 지연시간과 동일하게 할 수 있다.

<49> 도 8은 본 발명의 제3 및 제4 실시예에서 사용되는 코드 제어 가변 지연단의 일 실시예를 나타내는 도면이다. 이를 참조하면, 코드 제어 가변 지연단은 동일한 입력 신호를 수신하는 다수의 지연 소자들(82) 및 멀티플렉서(84)를 구비한다. 지연 소자들(82)은 각각의 설정된 지연 시간을 가지며, 입력 신호(IN)를 설정된 지연 시간으로 지연하여 출력한다. 여기서는, 지연 소자들(82)은 각각 T, 2T, 3T, ..., 2^NT의 지연 시간을 가지는 총 2^N개의 지연 소자들이다. 그러므로, 지연 시간은 T 시간 단위로 조절될 수 있다.

<50> 멀티플렉서(84)는 지연 소자들(82)로부터 출력되는 다수의 신호들 중에서 하나를 선택하여, 출력 신호(OUT)로서 출력한다. 이 때, 멀티플렉서(84)는 디지털 제어 코드

(CON_CODE)에 응답하여, 하나의 신호를 선택한다. 여기서는, 디지털 제어 코드 (CON_CODE)는 N 비트로 구성된다. 따라서, N비트의 디지털 제어 코드(CON_CODE)에 의하여, 2^N 개의 지연 소자들의 출력 신호 중에서 하나를 선택할 수 있다. 이와 같이, 2^N 개의 지연 소자들의 출력 신호 중에서 하나를 선택함으로써, 결국, 본 실시예의 코드 제어가 변 지연단의 지연 시간이, T에서 $2^N T$ 까지 조절된다.

<51> 도 9는 본 발명의 제4 실시예에서 사용되는 제어 코드 발생부의 일 실시예를 나타내는 도면이다. 이를 참조하면, 제어 코드 발생부는 동일한 입력 신호를 수신하는 다수의 지연 소자들(92), 다수의 위상 검출기들(94) 및 인코더(96)를 구비한다. 지연 소자들(92)은 도 8에서처럼, 각각의 설정된 지연 시간을 가지며, 제1 입력 신호(IN1)를 설정된 지연 시간으로 지연하여 출력한다. 지연 소자들(92)은 각각 T, 2T, 3T, ..., $2^N T$ 의 지연 시간을 가지는 총 2^N 개의 지연 소자들이다. 지연 소자들(92)의 출력 신호는 각각의 위상 검출기(94)로 입력된다. 그러므로, 위상 검출기(94)의 수도 지연소자의 수와 동일하다. 각각의 위상 검출기(94)는 지연 소자의 출력 신호와 제2 입력 신호(IN2)를 비교하여, 그 결과를 '1' 또는 '0'을 갖는 1비트의 신호로서 출력한다. 인코더(96)는 위상 검출기들(94)의 출력 비트들을 수신하여, N 비트의 디지털 제어 코드(CON_CODE)를 생성한다. 그러므로, 인코더(96)는 2^N 비트의 입력 신호를 N비트의 출력 신호로 코딩하는 ' 2^N to N' 인코더이다.

<52> 도 10은 본 발명의 일 실시예에 따른 반도체 장치의 데이터 래치 회로를 나타내는 도면이다. 이를 참조하면, 본 발명의 일 실시예에 따른 반도체 장치의 데이터 래치 회로는 신호 전달 회로(12) 및 데이터 래치 소자들(18_1 ~ 18_N)을 구비한

다. 신호 전달 회로(12)는 전술한 바와 같이, 서로 다른 지연 특성을 동일하게 하는 본 발명의 신호 전달 회로이다. 본 실시예에서 사용되는 신호 전달 회로(12)는 제3 실시예의 신호 전달 회로로서, 위상 검출기(108), 레지스터(110), 마스터 가변 지연단(106), 슬레이브 가변 지연단(16_1 ~ 16_N)을 구비한다. 그리고, 신호 전달 회로(12)는 클럭 신호 전달선(102), 제1 내지 제N 데이터 전달선(14_1 ~ 14_N) 및 복제 신호 전달선(104)을 구비한다. 여기서, 제1 내지 제N 데이터 전달선(14_1 ~ 14_N)의 각 지연 시간은 동일하다. 그리고, 복제 신호 전달선(104)의 지연 시간은 제1 내지 제N 데이터 전달선(14_1 ~ 14_N)의 지연 시간과 동일하다.

<53> 마스터 가변 지연단(106)은 복제 신호 전달선(104)에 연결되고, 슬레이브 가변 지연단(16_1 ~ 16_N)은 각각의 제1 내지 제N 데이터 전달선(14_1 ~ 14_N)에 연결된다.

<54> 반도체 장치의 데이터 래치 회로는, 각각의 입력 버퍼를 통하여 클럭 신호와 다수 개의 데이터를 수신하고, 수신된 클럭 신호에 응답하여 수신된 다수 개의 데이터를 래치하여, 내부의 데이터로 제공하는 회로이다. 그러므로, 본 실시예의 클럭 신호 전달선(102)은 클럭용 입력 버퍼이고, 제1 내지 제N 데이터 전달선(14_1 ~ 14_N)은 데이터용 입력 버퍼들인 것이 바람직하다. 그런데, 클럭용 입력 버퍼(102)의 팬아웃(fanout)은 N인데 비하여, 데이터용 입력 버퍼들(14_1 ~ 14_N)은 팬아웃(fanout)이 1이므로, 지연 시간의 차이가 발생한다. 그러므로, 본 발명의 신호 전달 회로를 사용함으로써, 지연 시간을 일치시키는 것이 필요하다.

<55> 도 10을 참조하여, 본 발명의 일 실시예에 따른 반도체 장치의 데이터 래치 회로의 동작을 살펴보면 다음과 같다.

- <56> 클럭(CLK)이 클럭 신호 전달선(102)와 복제 신호 전달선(104)에 입력된다. 그리고, 클럭 신호 전달선의 출력 신호(DCLK)와 복제 신호 전달선(104)에 연결되어 있는 마스터 가변 지연단(106)의 출력 신호(VS)가 위상 검출기(108)로 입력된다. 위상 검출기(108)는 입력되는 두 신호(VS, DCLK)의 위상 차이를 검출한 신호를 레지스터(110)로 출력한다. 레지스터(110)는 마스터 가변 지연단(106) 및 각 슬레이브 가변 지연단(16_1 ~ 16_N)의 지연 시간을 제어하는 제어 신호(CON_CODE)를 발생한다. 제어 신호(CON_CODE)가 디지털 코드이면, 마스터 가변 지연단(106) 및 각 슬레이브 가변 지연단(16_1 ~ 16_N)은 코드 제어 가변 지연단이어야 한다.
- <57> 위상 검출기(108)로 입력되는 두 신호(VS, DCLK)의 위상 차이가 없도록 제어 신호(CON_CODE)가 계속 조절된다. 그러므로, 궁극적으로는, 복제 신호 전달선(104)과 마스터 가변 지연단(106)의 총 지연 시간이 클럭 신호 전달선(102)의 지연 시간과 동일해진다. 따라서, 각 데이터 전달선과 슬레이브 가변 지연단의 총 지연 시간도 클럭 신호 전달선(102)의 지연 시간과 동일해진다.
- <58> 슬레이브 가변 지연단(16_1 ~ 16_N)의 출력 신호는 각 데이터 래치 소자(18_1 ~ 18_N)의 하나의 입력단으로 입력된다. 그리고, 클럭 신호 전달선(102)의 출력 신호(DCLK)는 각 데이터 래치 소자(18_1 ~ 18_N)의 다른 하나의 입력단으로 입력된다. 각 데이터 래치 소자(18_1 ~ 18_N)는 입력되는 클럭 신호 전달선(102)의 출력 신호(DCLK)에 맞추어, 데이터를 래치한다. 그러므로, 각 데이터 래치 소자(18_1 ~ 18_N)로 입력되는 두 신호의 타이밍은 정확하게 동기될 수 있다. 따라서, 래치 소자의 데이터 셋업/홀드 특성(setup/hold time)이 개선되어 동작 속도가 빨라질 수 있다.
- <59> 데이터 래치 소자(18_1 ~ 18_N)로는 플립-플롭(flip-flop)이 흔히 사용된다. 따라

서, 위상 검출기(108)도 데이터 래치용 플립-플롭과 동일한 플립-플롭을 사용하는 것이 바람직하다. 위상 검출기(108)를 데이터 래치용 플립-플롭과 동일한 플립-플롭을 사용함으로써, 위상 검출기(108)와 데이터 래치 소자의 특성 차이를 없앨 수 있다.

<60> 도 11은 본 발명의 일 실시예에 따른 신호 전달 방법을 나타내는 흐름도이다. 이를 참조하면, 본 발명의 일 실시예에 따른 신호 전달 방법은 다음과 같다.

<61> 서로 다른 지연 특성을 가지는 두 종류의 제1 및 제2 신호 전달선을 구비하는 신호 전달 회로에서, 복제 신호 전달선과 복제 신호 전달선에 직렬로 연결되는 마스터 가변 지연단을 추가로 구비한다(112). 또한, 제2 신호 전달선에 직렬로 연결되는 슬레이브 가변 지연단을 추가로 구비한다(114). 이 때, 마스터 가변 지연단과 슬레이브 가변 지연단은 동일한 구조의 동일한 지연 특성을 가지는 지연단인 것이 바람직하다. 그리고, 제1 신호 전달선과 복제 신호 전달선에 제1 입력 신호를 입력하고, 제2 입력 신호를 제2 신호 전달선에 입력한다(116). 제1 신호 전달선의 출력 신호와 마스터 가변 지연단의 출력 신호의 위상 차이를 비교하여, 위상 차이를 검출한다(118). 위상 차이가 없으면, 일정한 값을 가지는 제어 신호를 발생하고(122), 위상 차이가 있으면, 위상 차이에 대응하는 제어 신호를 발생한다(120).

<62> 제어 신호에 의하여, 마스터 가변 지연단의 지연 시간을 조절한다(124). 그리고, 동일한 제어 신호를 슬레이브 가변 지연단에 인가하여, 슬레이브 가변 지연단의 지연 시간을 마스터 가변 지연단의 지연 시간과 동일하게 조절한다(126). 118 내지 126 단계는 자동적으로 반복되도록 하는 것이 바람직하다. 그러면, 제1 신호 전달선의 출력 신호와 마스터 가변 지연단의 출력 신호의 위상 차이가 없어지도록 제어 신호가 계속 조절된다. 따라서, 궁극적으로 제1 입력 신호의 지연 시간과 제2 입력 신호의 지연 시간이 동일해

진다.

<63> 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 본 기술 분야의 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 등록청구범위의 기술적 사상에 의해 정해져야 할 것이다.

【발명의 효과】

상세히 전술한 바와 같이, 본 발명의 신호 전달 회로 및 신호 전달 방법에 의하여, 서로 다른 지연 특성을 가지는 다수의 신호 전달선의 지연 시간이 정확하게 동기될 수 있었다.

그리고, 본 발명의 반도체 장치의 데이터 래치 회로에 의하여, 외부로부터 인가되는 데이터는 기준 신호에 동기되어 입력되는 한 개 이상의 데이터를 기준 신호에 맞추어 정확하게 래치할 수 있다.

【특허청구범위】

【청구항 1】

수신되는 제1 입력 신호를 제1 지연 시간으로 지연하여 출력하는 제1 신호 전달선;

수신되는 제2 입력 신호를 상기 제1 지연 시간 보다 짧은 제2 지연 시간으로 지연하여 출력하는 제2 신호 전달선;

상기 제2 신호 전달선과 동일한 지연 특성을 가지며, 상기 제1 입력신호를 수신하여 지연하여, 출력하는 복제 신호 전달선;

상기 복제 신호 전달선에 직렬로 연결되고, 소정의 제어 신호에 의하여 지연시간이 가변되는 마스터 가변 지연단;

상기 제2 신호 전달선에 직렬로 연결되고, 상기 제어 신호에 의하여 지연시간이 가변되는 슬레이브 가변 지연단; 및

상기 마스터 가변 지연단의 출력 신호 및 상기 제1 신호 전달선의 출력 신호를 수신하여, 상기 제어 신호를 발생하는 제어부를 구비하는 것을 특징으로 하는 신호 전달 회로.

【청구항 2】

제1항에 있어서,

상기 제어부는 상기 마스터 가변 지연단의 출력 신호 및 상기 제1 신호 전달선의 출력 신호의 위상을 비교하여, 상기 마스터 가변 지연단의 출력 신호 및 상기 제1 신호 전달선의 출력 신호 사이의 위상 차이에 대응하는 검출 신호를 발생하는 위상 검출기; 및 상기 검출 신호에 따라 전압 크기가 변하는 상기 제어 신호를 발생하는 전하 펌프부

를 구비하며,

상기 마스터 가변 지연단 및 상기 슬레이브 가변 지연단은 전압 제어 가변 지연단인 것을 특징으로 하는 신호 전달 회로.

【청구항 3】

제1항에 있어서,

상기 제어부는 상기 마스터 가변 지연단의 출력 신호 및 상기 제1 신호 전달선의 출력 신호의 위상을 비교하여, 상기 마스터 가변 지연단의 출력 신호 및 상기 제1 신호 전달선의 출력 신호 사이의 위상 차이에 대응하는 검출 신호를 발생하는 위상 검출기; 및 상기 검출 신호에 따라 디지털 코드인 상기 제어 신호를 발생하는 레지스터를 구비하며,

상기 마스터 가변 지연단 및 상기 슬레이브 가변 지연단은 코드 제어 가변 지연단인 것을 특징으로 하는 신호 전달 회로.

【청구항 4】

제3항에 있어서, 상기 마스터 가변 지연단 및 상기 슬레이브 가변 지연단의 각각은 입력되는 신호를 각각 소정의 지연 시간으로 지연하여 출력하는 다수개의 지연 소자들; 및

상기 제어 신호에 의하여, 상기 다수 개의 지연 소자들의 출력 신호들 중의 하나를 선택하여 출력하는 멀티플렉서를 구비하는 것을 특징으로 하는 신호 전달 회로.

【청구항 5】

수신되는 제1 입력 신호를 제1 지연시간으로 지연하여 출력하는 제1 신호 전달선;

수신되는 제2 입력 신호를 상기 제1 지연 시간 보다 짧은 제2 지연 시간으로 지연하여 출력하는 제2 신호 전달선;

상기 제2 신호 전달선과 동일한 지연 특성을 가지며, 상기 제1 입력신호를 수신하여, 출력하는 복제 신호 전달선;

상기 복제 신호 전달선의 출력 신호 및 상기 제1 신호 전달선의 출력 신호를 수신하여, 상기 복제 신호 전달선의 출력 신호 및 상기 제1 신호 전달선의 출력 신호 사이의 위상 차이에 따라, 소정의 제1 비례 상수 만큼 비례하는 제어 코드를 발생하는 제어 코드 발생부; 및

상기 제2 신호 전달선에 직렬로 연결되고, 상기 제어 코드에 따라, 소정의 제2 비례 상수 만큼 비례하여, 지연시간이 가변되는 가변 지연단을 구비하며,

상기 제1 비례 상수 및 상기 제2 비례 상수의 곱은 1이 되도록 조절하는 것을 특징으로 하는 신호 전달 회로.

【청구항 6】

제5항에 있어서, 상기 가변 지연단은

상기 제2 신호 전달선의 출력 신호를 각각 소정의 지연 시간으로 지연하여 출력하는 다수개의 지연 소자들; 및

상기 제어 코드에 의하여, 상기 다수 개의 지연 소자들의 출력 신호들 중의 하나를 선택하여 출력하는 멀티플렉서를 구비하는 것을 특징으로 하는 신호 전달 회로.

【청구항 7】

제5항에 있어서, 상기 제어 코드 발생부는

상기 제1 신호 전달선의 출력 신호를 각각 소정의 지연 시간으로 지연하여 출력하는 다수개의 지연 소자들; 및

상기 지연 소자들의 출력 신호들 중의 하나의 신호와 상기 복제 신호 전달선의 출력 신호의 위상을 비교하여, 각각의 위상 비교 신호를 출력하는 상기 다수 개의 지연 소자들과 같은 개수의 위상 검출기들; 및

상기 위상 검출기들에서 출력되는 상기 각각의 위상 비교 신호들을 수신하여, 상기 제어 코드를 발생하는 인코더를 구비하는 것을 특징으로 하는 신호 전달 회로;

【청구항 8】

기준 신호에 동기되어 입력되는 한 개 이상의 입력 데이터를 래치하는 반도체 장치의 데이터 래치 회로에 있어서,

상기 기준 신호를 소정의 제1 지연시간으로 지연하여 출력하는 기준 신호 전달선;

제1 내지 제N 입력 데이터를 각각 소정의 제2 지연 시간으로 지연하여 출력하는 제1 내지 제N 데이터 전달선들;

상기 제1 데이터 전달선과 동일한 지연 특성을 가지며, 상기 기준 신호를 수신하여, 출력하는 복제 신호 전달선;

상기 복제 신호 전달선에 직렬로 연결되고, 제어 신호에 의하여 지연시간이 가변되는 마스터 가변 지연단;

상기 제1 내지 제N 데이터 전달선에 각각 직렬로 연결되고, 상기 제어 신호에 의하여 지연시간이 가변되는 제1 내지 제N 슬레이브 가변 지연단들;

상기 마스터 가변 지연단의 출력 신호 및 상기 기준 신호 전달선의 출력 신호를 수신하여, 상기 제어 신호를 발생하는 제어부; 및

상기 기준 신호 전달선의 출력 신호를 기준으로 상기 제1 내지 제N 슬레이브 가변 지연단들의 출력 신호들을 각각 수신하는 제1 내지 제N 데이터 래치 수단들을 구비하는 것을 특징으로 하는 반도체 장치의 데이터 래치 회로.

【청구항 9】

제8항에 있어서,

상기 제어부는 상기 마스터 가변 지연단의 출력 신호 및 상기 기준 신호 전달선의 출력 신호의 위상을 비교하여, 상기 마스터 가변 지연단의 출력 신호 및 상기 기준 신호 전달선의 출력 신호 사이의 위상 차이에 대응하는 검출 신호를 발생하는 위상 검출기; 및 상기 검출 신호에 따라 전압 크기가 변하는 상기 제어 신호를 발생하는 전하 펌프부를 구비하며,

상기 마스터 가변 지연단 및 제1 내지 제N 슬레이브 가변 지연단은 전압 제어 가변 지연단인 것을 특징으로 하는 반도체 장치의 데이터 래치 회로.

【청구항 10】

제8항에 있어서,

상기 제어부는 상기 마스터 가변 지연단의 출력 신호 및 상기 기준 신호 전달선의 출력 신호의 위상을 비교하여, 상기 마스터 가변 지연단의 출력 신호 및 상기 기준 신호 전달선의 출력 신호 사이의 위상 차이에 대응하는 검출 신호를 발생하는 위상 검출기; 및 상기 검출 신호에 따라 디지털 코드인 상기 제어 신호를 발생하는 레지스터를 구비하

고,

상기 마스터 가변 지연단 및 제1 내지 제N 슬레이브 가변 지연단은 디지털 코드 제어 지연단들인 것을 특징으로 하는 반도체 장치의 데이터 래치 회로.

【청구항 11】

제10항에 있어서, 상기 제1 내지 상기 제N 데이터 래치 수단들 및 상기 위상 검출기는 플립플롭인 것을 특징으로 하는 반도체 장치의 데이터 래치 회로.

【청구항 12】

서로 다른 지연 특성을 가지는 두 종류의 제1 및 제2 신호 전달선을 갖는 신호 전달 회로에서의 신호 전달 방법에 있어서,

상기 제2 신호 전달선과 동일한 지연 특성을 가지는 복제 신호 전달선 및 상기 복제 신호 전달선에 직렬로 연결되는 마스터 가변 지연단을 추가로 구비하는 단계;

상기 제2 신호 전달선에 직렬로 연결되는 슬레이브 지연단을 추가로 구비하는 단계;

수신되는 제1 입력 신호를 상기 제1 신호 전달선과 상기 복제 신호 전달선에 입력하고, 수신되는 제2 입력 신호를 상기 제2 신호 전달선에 입력하는 단계;

상기 제1 신호 전달선의 출력 신호와 상기 마스터 가변 지연단의 출력신호의 위상을 비교하여, 위상 차이에 대응하는 제어 신호를 발생하는 단계;

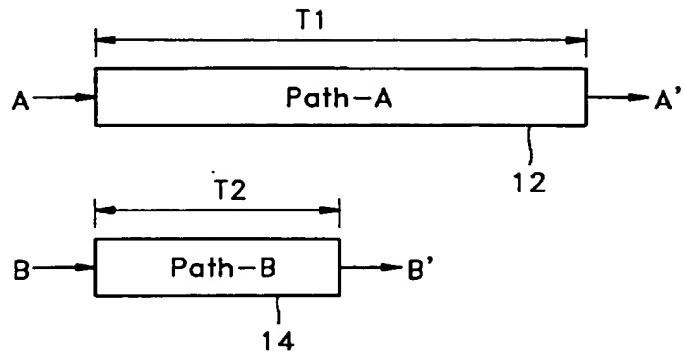
상기 제어 신호를 상기 마스터 가변 지연단에 인가하여 상기 마스터 가변 지연단의 지연 시간을 조절하는 단계; 및

상기 제어 신호를 상기 슬레이브 가변 지연단에 인가하여 상기 슬레이브 가변 지연

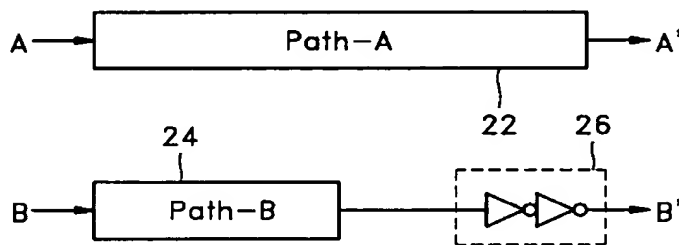
단의 지연 시간을 상기 마스터 가변 지연단의 지연 시간과 동일하게 조절하는 단계를 구비하는 것을 특징으로 하는 신호 전달 방법.

【도면】

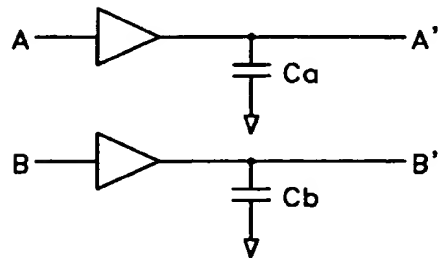
【도 1】



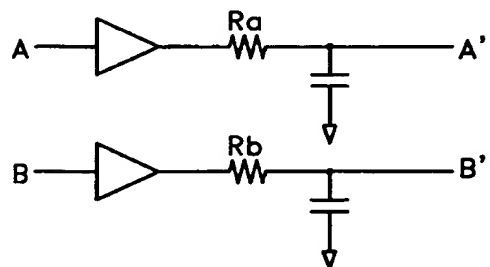
【도 2】



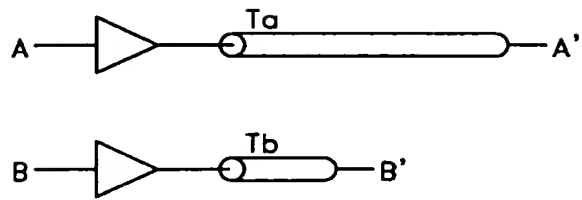
【도 3a】



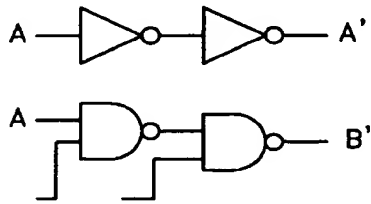
【도 3b】



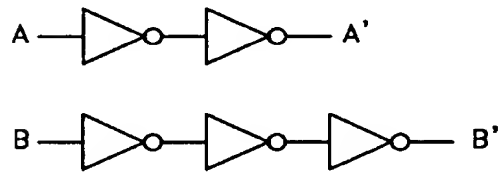
【도 3c】



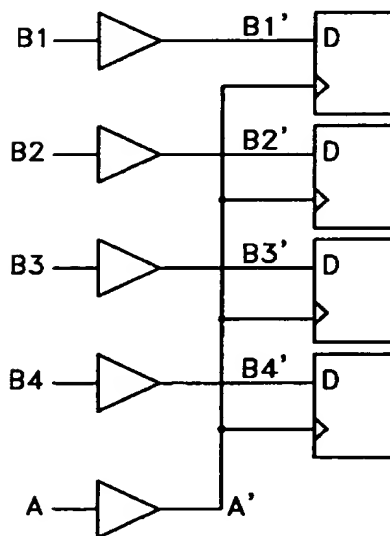
【도 3d】



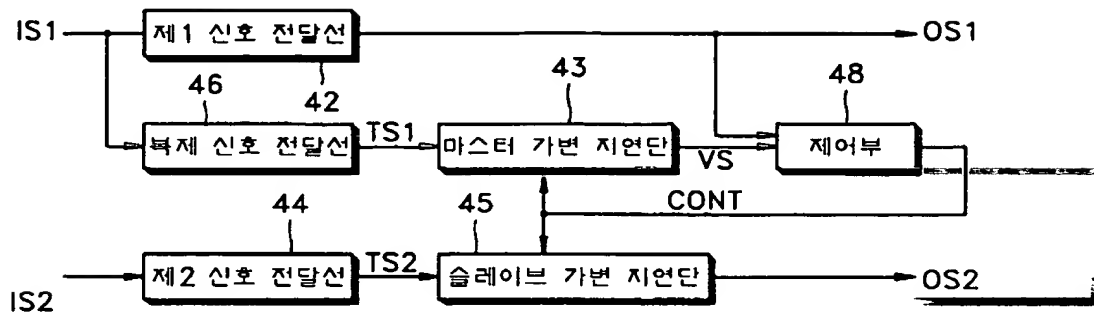
【도 3e】



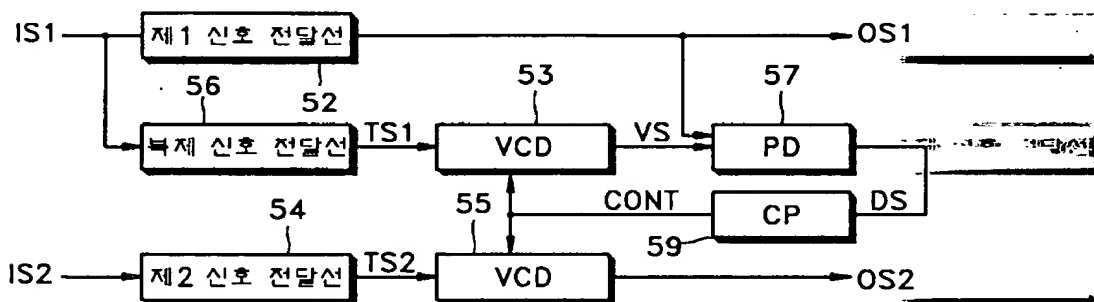
【도 3f】



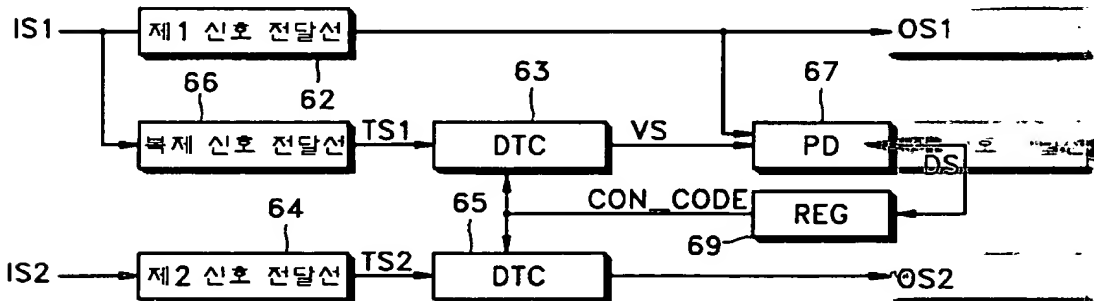
【도 4】



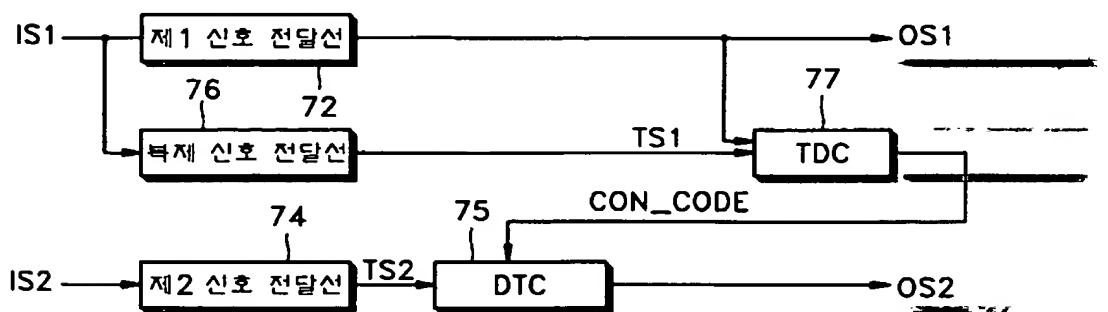
【도 5】



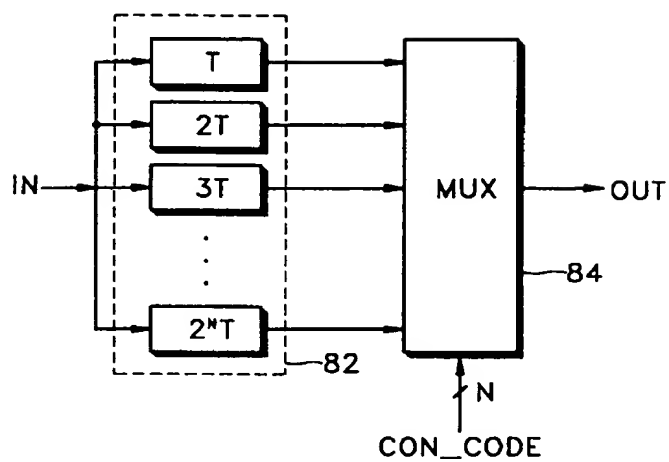
【도 6】



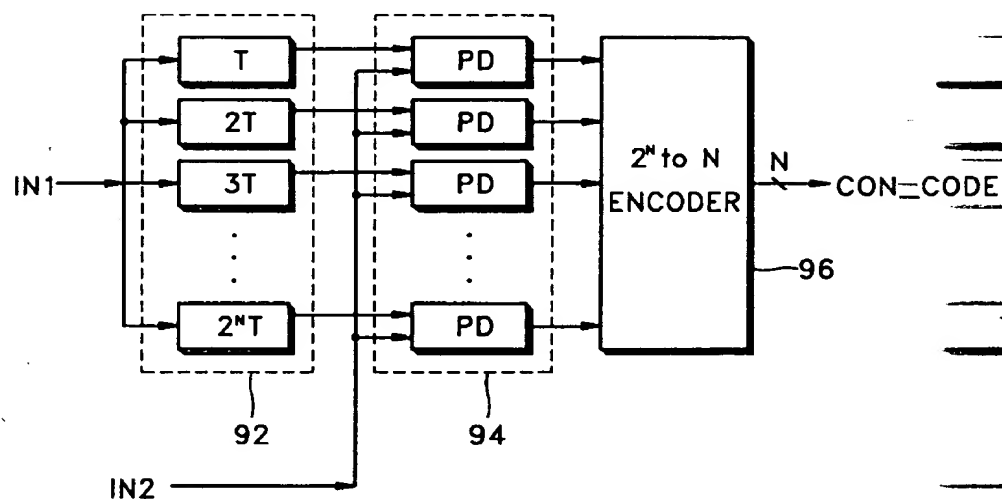
【도 7】



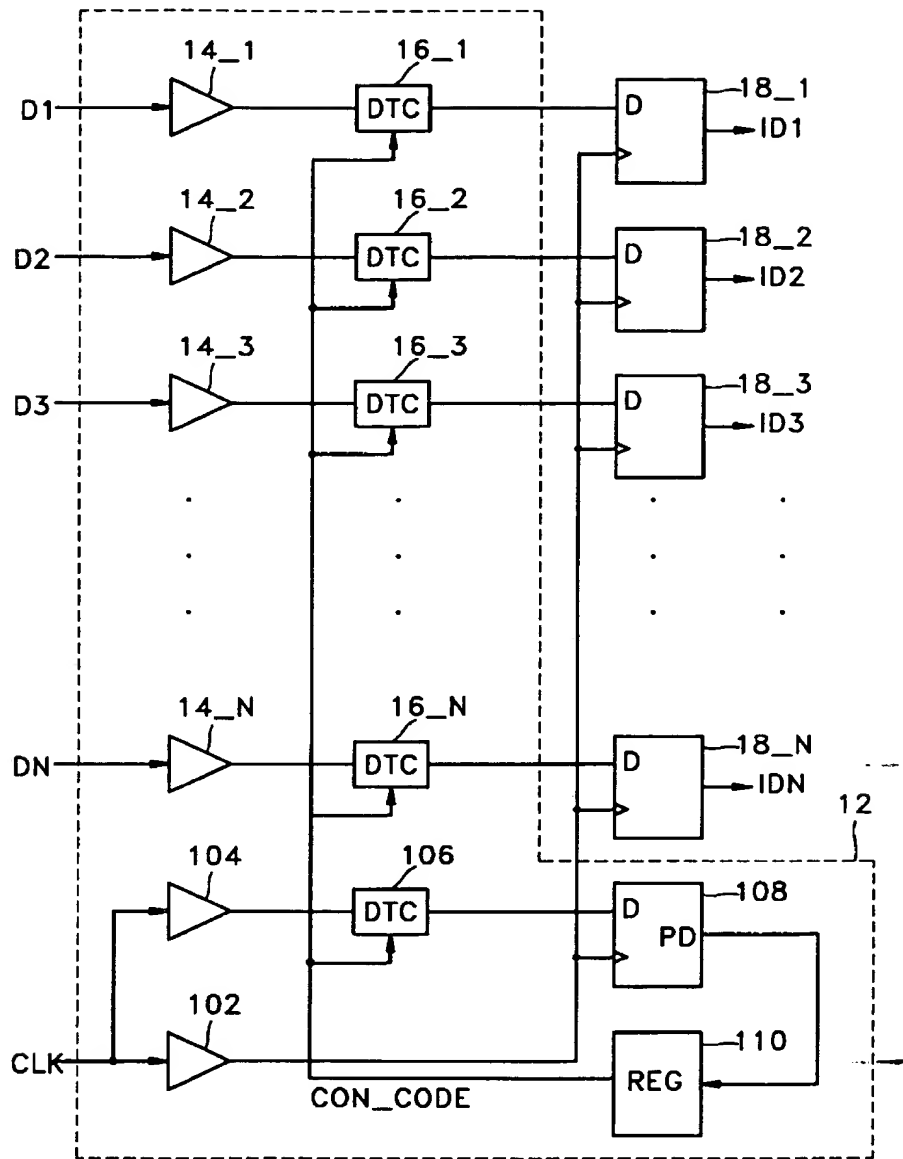
【도 8】



【도 9】



【도 10】



【도 11】

